

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-65880

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁸
G 0 6 F 11/25

識別記号

F I
G 0 6 F 11/26

3 1 0

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21) 出願番号 特願平9-226014

(22) 出願日 平成9年(1997) 8月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000153454

株式会社日立インフォメーションテクノロジー

神奈川県秦野市堀山下1番地

(72) 発明者 米山 修二

神奈川県秦野市堀山下1番地株式会社日立インフォメーションテクノロジー内

(72) 発明者 鈴木 薫

神奈川県秦野市堀山下1番地株式会社日立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 小川 勝男

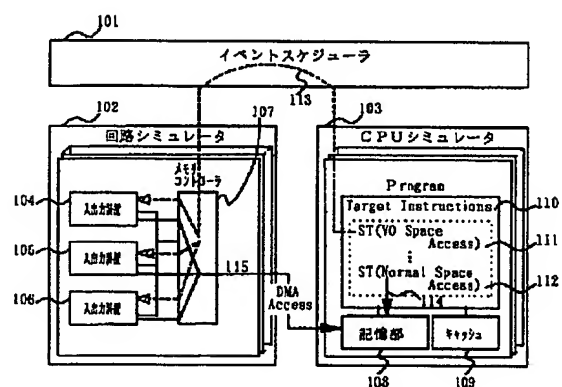
(54) 【発明の名称】 論理シミュレーションにおけるメモリ制御方式

(57) 【要約】 (修正有)

【課題】 回路実装制限の問題を解決し、論理シミュレーション実行性能を高めたシミュレーション方式を提供する。

【解決手段】 入出力装置を含む情報処理システムの正常動作を評価することを目的とした論理シミュレーション装置であって、前記入出力装置制御論理部をゲートレベルでシミュレーションする回路シミュレータと、プロセッサ制御論理部をアーキテクチャレベルでシミュレーションするCPUシミュレータと、前記回路シミュレータ及び前記CPUシミュレータを入出力装置に関するイベント発生により制御するイベントスケジューラと、前記CPUシミュレータが保有する記憶部とから成り、CPUシミュレータでは入出力装置に関わるメモリアクセスのみを回路シミュレータを経由して該入出力装置制御に渡し、前記CPUシミュレータ及び前記回路シミュレータからのメモリアクセスはCPUシミュレータが保有する記憶部を各々が直接アクセスする。

図1



【特許請求の範囲】

【請求項1】 一般的な情報処理システムにおけるSCSI、ネットワーク等のアダプタや磁気ディスク、磁気テープ等の入出力装置を含む情報処理システムの正常動作を評価することを目的とした論理シミュレーション装置であって、前記入出力装置制御論理部をゲートレベルでシミュレーションする回路シミュレータと、プロセッサ制御論理部をアーキテクチャレベルでシミュレーションするCPUシミュレータと、前記回路シミュレータ及び前記CPUシミュレータを入出力装置に関するイベント発生により制御するイベントスケジューラと、前記CPUシミュレータが保有する記憶部とから成り、前記CPUシミュレータでは入出力装置に関わるメモリアクセスのみを回路シミュレータを経由して該入出力装置制御に渡し、その他のメモリ/キャッシュアクセスは直接記憶部をアクセスし、前記回路シミュレータからのメモリアクセスは前記CPUシミュレータが保有する記憶部を直接アクセスすることを特徴とするCPU連動入出力装置論理シミュレーションにおけるメモリ制御方式。

【請求項2】 前記CPUシミュレータ及び前記回路シミュレータの機能によりマルチプロセッシングユニットのシステムに対応する論理シミュレーション装置において、単一プロセッシングユニットの場合と同様に処理可能なことを特徴とする請求項1記載の論理シミュレーションにおけるメモリ制御方式。

【請求項3】 請求項1記載の論理シミュレーション装置であって、メモリコントローラ内の記憶部書込み処理部の状態監視部を有し、前記記憶部書込み処理部の状態によりCPUシミュレータ側への制御移行タイミング調整処理部を有する論理シミュレーションにおけるメモリ制御方式。回路シミュレータにおいてメモリコントローラビジーによる記憶部への書込み動作待ち状態が解除され、記憶部への書込み動作が完了する迄CPUシミュレータへの割込み報告を $i+3$ サイクルから $i+5$ サイクルまで保留する処理を追加することで、CPUシミュレータ上の入出力装置制御プログラムの受信報告割込みハンドラ処理からのフラグ情報読込みを遅らせ、上記の不具合が具現化することを回避する。この処理は回路シミュレータ側のメモリコントローラにタイミング調整処理機能を持たせることにより実現する。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は前記入出力装置を含む情報処理システムの論理シミュレーションにおけるメモリ制御方式に係わり、特に論理シミュレーション実行性能を向上するメモリ制御方式に関する。

【0002】

【従来の技術】 従来は、論理シミュレーション論理回路装置を構成するゲート単位的全基盤論理素子を全て回路シミュレータに実装し、該回路シミュレータにCPUシ

ミュレータを接続し、プログラム実行時、論理シミュレーション対象となるテスト命令列のみを回路シミュレータ側で実行し、該テスト命令列以外の命令列はCPUシミュレータが代行実行する階層論理シミュレーション方式が提案されていた。これに関する事例としては特開昭59-148971号広報が上げられる。

【0003】 又、入出力装置を含む上記構成より大規模な情報処理システムの論理シミュレーションでは、回路シミュレータにプロセッサ制御論理部を実装せずに該プロセッサ制御論理部を全てCPUシミュレータが代行実行する事で回路シミュレータ側の回路実装制限を解決し、実装規模の増加による論理シミュレーション実行性能の低下も避ける論理シミュレーション方式が提案されていた。これに関する事例としては特開平06-232785号広報が上げられる。

【0004】 これら従来技術は、該回路シミュレータ及び該CPUシミュレータ各々に記憶部を持つ方式、及び該回路シミュレータと該CPUシミュレータとで共有記憶部を持っても該回路シミュレータからのメモリアクセスは必ずスケジューラを介して行う方式に関するものであり、本発明で示す前記CPUシミュレータ及び前記回路シミュレータから直接アクセスするメモリ制御方式は公知技術例からは見当たらない。

【0005】

【発明が解決しようとする課題】 前記入出力装置を含む論理シミュレーションでは回路シミュレータ側とCPUシミュレータ側で各々に記憶部を持つ2面記憶方式、もしくはCPUシミュレータ側でのみ記憶部を所有し、回路シミュレータ側からはイベントスケジューラを介してCPUシミュレータ側記憶部をアクセスする方式の論理シミュレーション装置が提案されていたが、これらはCPUシミュレータと回路シミュレータの制御切替回数が少ない場合やCPU及び入出力装置からのメモリアクセス頻度が少ない場合は有用であるが、CPU及び入出力装置からのメモリアクセス頻度が多い場合には2面記憶部間のデータコピーもしくはスケジューラを介することによる命令実行数の増加から論理シミュレーション実行性能の低下を引き起こす可能性がある。

【0006】 本発明の目的は従来技術の回路実装制限の問題を解決し、更に論理シミュレーション実行性能を高めたシミュレーション方式を提供することにある。

【0007】

【課題を解決するための手段】 一般的な情報処理システムにおけるSCSI、ネットワーク等のアダプタや磁気ディスク、磁気テープ等の入出力装置を含む情報処理システムの正常動作を評価することを目的とした論理シミュレーション装置であって、前記入出力装置制御論理部をゲートレベルでシミュレーションする回路シミュレータと、プロセッサ制御論理部をアーキテクチャレベルでシミュレーションするCPUシミュレータと、前記回路

シミュレータ及び前記CPUシミュレータを入出力装置に関するイベント発生により制御するイベントスケジューラと、前記CPUシミュレータが保有する記憶部とから成り、前記CPUシミュレータでは入出力装置に関わるメモリアクセスのみを回路シミュレータを経由して該入出力装置制御に渡し、前記CPUシミュレータ及び前記回路シミュレータからのメモリアクセスは前記CPUシミュレータが保有する記憶部を各々が直接アクセスする方式のメモリ制御を行うことによって課題を達成する。

【0008】

【発明の実施の形態】以下に本発明について図面を参照して詳細に説明する。

【0009】図1は本発明が適用される論理シミュレーションの一実施例の構成及びメモリ制御を示すブロック図である。

【0010】図1のCPU連動入出力装置論理シミュレーションの一実施例はホスト計算機システムに構築され、前記入出力装置制御論理部をゲートレベルでシミュレーションする回路シミュレータ102と、プロセッサ制御論理部をアーキテクチャレベルでシミュレーションするCPUシミュレータ103と、前記回路シミュレータ及び前記CPUシミュレータを、入出力装置に関するイベント発生により制御するイベントスケジューラ101と、前記CPUシミュレータが保有する記憶部108、前記回路シミュレータが制御する入出力装置104、105、106、入出力装置と記憶部、キャッシュ、CPUシミュレータ間のインタフェースを制御するメモリコントローラ107で構成されている。

【0011】次ぎに本発明によるメモリ制御方式については、前記CPUシミュレータ上で解釈実行されるターゲット空間アクセス命令群109において、入出力装置空間アクセス命令110を実行した場合はCPU入出力装置空間アクセス命令制御の流れ112で示す様にイベントスケジューラを介して前記回路シミュレータに渡されメモリコントローラで該入出力装置にアクセス要求が為される。また、前記CPUシミュレータ上で通常空間アクセス命令111を実行した場合はCPU通常空間アクセス命令制御の流れ113で示す様に前記CPUシミュレータで自身が保有する記憶部に直接アクセスする。

【0012】一方、前記回路シミュレータ上で制御される入出力装置のいずれかからDMA要求が発生した場合は入出力装置DMA制御の流れ114で示す様に前記CPUシミュレータが保有する記憶部に回路シミュレータ側から直接アクセスする。

【0013】この様に前記CPUシミュレータ及び前記回路シミュレータから記憶部にアクセス要求が出た場合は各々が前記CPUシミュレータで保有する記憶部に直接アクセスする事によって論理シミュレーション実行性

能の向上を実現する。

【0014】但し、図1で説明したメモリ制御方式においては、入出力装置からの割込みに対するCPUシミュレータ上プログラムの処理でメモリアクセスの順序保証が出来ない場合が有り得るため、この不具合に対する対処方法を説明する。

【0015】図2は図1で説明したメモリ制御方式においてデータ受信割込み処理で正常動作する場合のタイミングチャートであり、図3は図1で説明したメモリ制御方式においてデータ受信割込み処理に起因する不具合対処方法例のタイミングチャートである。

【0016】図2における正常動作は、メモリコントローラ内の記憶部書込み処理部がNotBusyの場合の正常動作を示すが、この場合動作を阻害する条件はないため、入出力装置からのWrite要求によるフラグ情報の記憶部への書込みがi+1サイクルで完了し、入出力装置からのInt要求をi+3サイクルでCPUシミュレータに制御移行を行い、CPUシミュレータ上の入出力装置制御プログラムの受信報告割込みハンドラ処理でi+4サイクルにおいて記憶部から読込むフラグ情報として正常なデータを得ることが出来る。

【0017】図3はメモリコントローラ内の記憶部書込み処理部のBusy状態により、入出力装置からのWrite要求によるフラグ情報の書込みが出来ない状態を示し、フラグ情報の書込み要求は回路シミュレータ側でスタックされる。その後、メモリコントローラビジーの状態で入出力装置からのInt要求をi+3サイクルでCPUシミュレータに制御移行を行い、CPUシミュレータ上の入出力装置制御プログラムの受信報告割込みハンドラ処理でi+4サイクルで記憶部からフラグ情報を読込みを行ってしまうが、回路シミュレータからのフラグ情報の書込みが成されないために、ここで読込んだフラグ情報は正常なデータを得ることが出来ない。そこで、このような現象が起き得る場合には回路シミュレータにおいてメモリコントローラビジーによる記憶部への書込み動作待ち状態が解除され、記憶部への書込み動作が完了する迄CPUシミュレータへの割込み報告をi+3サイクルからi+5サイクルまで保留する処理を追加することで、CPUシミュレータ上の入出力装置制御プログラムの受信報告割込みハンドラ処理からのフラグ情報読込みを遅らせ、上記の不具合が具現化することを回避する。この処理は回路シミュレータ側のメモリコントローラにタイミング調整処理機能を持たせることにより実現する。

【0018】

【発明の効果】以上説明した様に本発明によれば、従来方式に比してメモリアクセスを高速に行うことが可能になり、回路シミュレータの実性能を超える高速な論理シミュレーションが可能となる。

【図面の簡単な説明】

【図1】本発明が適用されるCPU連動入出力装置論理

【図3】

図 3

